

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099433

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

H03K 17/78

H03K 17/16

(21)Application number : 05-241115

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.09.1993

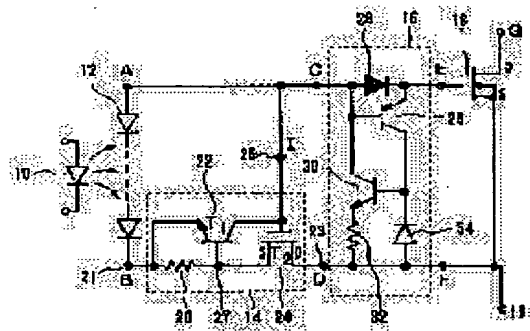
(72)Inventor : TORASAWA HIROYASU  
MIZUUCHI KENJI

## (54) OPTICAL SEMICONDUCTOR RELAY DEVICE AND ITS DRIVING METHOD

## (57)Abstract:

**PURPOSE:** To provide an optical semiconductor relay device and its drive method by eliminating spike noise generated at an output of a MOSFET to attain stable operation.

**CONSTITUTION:** A constant current circuit 14 is provided between an anode terminal of a light receiving element 12 and a control electrode of a switching transistor (TR) 18 or between a cathode terminal of the light receiving element and a 2nd main electrode of the switching TR. The constant current circuit is provided with a 1st resistor 20, a 1st conduction type 1st TR 22, a 2nd conduction type 2nd TR 24, 1st, 2nd and 3rd connecting points 21, 23, 25, the 1st connecting point is connected to one terminal of the 1st resistor and a 2nd main electrode side of the 1st TR, the other terminal of the 1st resistor is connected to a 2nd main electrode of the 1st TR and to a 2nd main electrode of a 2nd TR, the 2nd connecting point is connected to the 1st main electrode of the 2nd TR and the 3rd connecting point is connected to the 1st main electrode of the 1st TR and a control electrode of the 2nd TR.



## LEGAL STATUS

[Date of request for examination] 20.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3380308

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision of rejection]

***This Page Blank (uspto)***

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page Blank (usp10)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99433

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.<sup>6</sup>

H 0 3 K 17/78  
17/16

識別記号

J

庁内整理番号

H 9184-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平5-241115

(22) 出願日 平成5年(1993)9月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 虎澤 裕康

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 水内 賢二

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

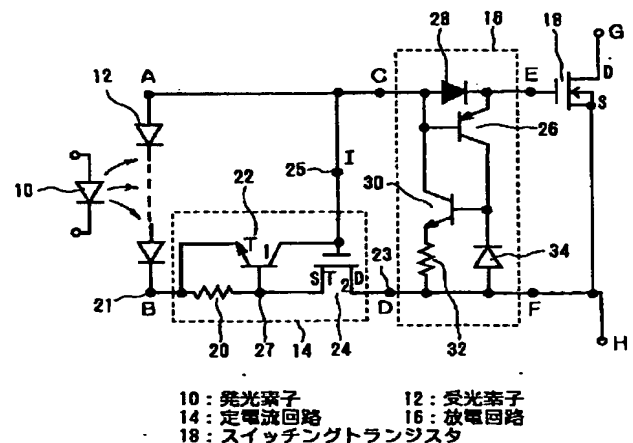
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 光半導体リレー装置及びその駆動方法

(57) 【要約】

【目的】 MOSFETの出力側に発生するスパイクノイズを除去して安定な動作を可能にした光半導体リレー装置及びその駆動方法を提供する。

【構成】 受光素子12のアノード端子側とスイッチングトランジスタ18の制御電極側の接続間及び受光素子のカソード端子側とスイッチングトランジスタの第2主電極側の接続間のいずれか一方に定電流回路14を設ける。この定電流回路は、第1抵抗体20と第1導電型の第1トランジスタ22と第2導電型の第2トランジスタ24と第1、第2及び第3接続点21、23、25とを具え、第1接続点を、第1抵抗体の一方の端子側及び第1トランジスタの第2主電極側に接続させ、かつ、第1抵抗体の他方の端子側を第1トランジスタの制御電極側及び第2トランジスタの第2主電極側に接続させ、第2接続点を、第2トランジスタの第1主電極側に接続させ、第3接続点を、第1トランジスタの第1主電極側及び第2トランジスタの制御電極側に接続させて構成してある。



第1実施例(その1)

1

## 【特許請求の範囲】

【請求項 1】 発光素子と、該発光素子の光を受光して電力を発生させる受光素子と、該受光素子のアノード端子及びカソード端子間に制御電極及び第 2 主電極が結合されているスイッチングトランジスタと、前記アノード端子及びカソード端子間に結合された放電回路とを具えた光半導体リレー装置において、前記受光素子のアノード端子側と前記スイッチングトランジスタの制御電極側との接続間及び前記受光素子のカソード端子側と前記スイッチングトランジスタの第 2 主電極側との接続間のいずれか一方に定電流回路を設けて構成したことを特徴とする光半導体リレー装置。

【請求項 2】 請求項 1 に記載の光半導体リレー装置において、

前記定電流回路は、第 1 抵抗体と第 1 トランジスタと第 2 トランジスタと第 1、第 2 及び第 3 接続点とを具え、前記第 1 接続点を、第 1 抵抗体の一方の端子及び第 1 トランジスタの第 2 主電極に接続させてあり、前記第 2 接続点を、前記第 2 トランジスタの第 1 主電極に接続させてあり、前記第 3 接続点を、前記第 1 トランジスタの第 1 主電極及び第 2 トランジスタの制御電極に接続させてあり、前記第 1 抵抗体の他方の端子を前記第 1 トランジスタの制御電極及び前記第 2 トランジスタの第 2 主電極側に接続させてあることを特徴とする光半導体リレー装置。

【請求項 3】 請求項 2 に記載の光半導体リレー装置において、

前記定電流回路の前記第 1 接続点を、前記受光素子のカソードに接続し、前記第 2 接続点を、前記スイッチングトランジスタの第 2 主電極間に接続させてあり、前記第 3 接続点を、前記受光素子のアノード及び前記スイッチングトランジスタの制御電極との間に接続させてあることを特徴とする光半導体リレー装置。

【請求項 4】 請求項 2 に記載の光半導体リレー装置において、

前記定電流回路の前記第 2 接続点を、前記受光素子のアノードに接続し、前記第 1 接続点を、前記スイッチングトランジスタの制御電極に接続させてあり、前記第 3 接続点は、副受光素子を介して前記受光素子のアノードに接続させてあることを特徴とする光半導体リレー装置。

【請求項 5】 請求項 1 に記載の光半導体リレー装置において、

前記定電流回路は、第 2 及び第 3 抵抗体と、第 3 及び第 4 トランジスタと、第 4 及び第 5 接続点とを具え、前記第 2 抵抗体の一方の端子及び第 3 トランジスタの第 1 主電極を前記第 4 接続点に接続させてあり、前記第 2 抵抗体の他方の端子を、第 3 トランジスタの制御電極及び前記第 4 トランジスタの第 1 主電極に接続させてあり、

2

前記第 3 抵抗体の一方の端子及び前記第 4 トランジスタの第 2 主電極を前記第 5 接続点に接続させてあり、前記第 3 抵抗体の他方の端子を、前記第 4 トランジスタの制御電極及び前記第 3 トランジスタの第 2 主電極に接続させてあることを特徴とする光半導体リレー装置。

【請求項 6】 請求項 5 に記載の光半導体リレー装置において、

前記定電流回路の第 4 接続点を、前記受光素子のアノードに接続させてあり、及び前記第 5 接続点を、前記スイッチングトランジスタの制御電極間に接続させてあることを特徴とする光半導体リレー装置。

【請求項 7】 請求項 5 に記載の光半導体リレー装置において、

前記定電流回路の第 5 接続点を、前記受光素子のカソードに接続させてあり及び前記第 4 接続点を、前記スイッチングトランジスタの第 2 主電極に接続させてあることを特徴とする光半導体リレー装置。

【請求項 8】 請求項 1 に記載の光半導体リレー装置を駆動させるに当たり、

前記発光素子の光信号に応じて発生する前記受光素子の電力を用いて、前記定電流回路を動作させ、該定電流回路により前記スイッチングトランジスタに流れる電流を所定の電流にして当該スイッチングトランジスタを駆動させることを特徴とする光半導体リレー装置の駆動方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、光半導体リレー装置、特に、光結合素子を用いたスイッチングトランジスタの駆動装置及びその駆動方法に関するものである。

【0002】

【従来の技術】 従来の光半導体リレー装置として、受光素子が発光素子から発光する光を受光し、この受光した光を電力に変換してスイッチングトランジスタを駆動する方式のものがある（例えば、特願昭 63-162227。以下、文献 I と称する。）。

【0003】 図 10 は、従来の文献 I に開示されている光半導体リレー装置の回路構成を示す。

【0004】 この装置は、大別すると発光素子 60 部と、受光素子 62 部と、放電回路 72 部及びスイッチングトランジスタ（MOSFET とも称する）64 部とから構成されている。

【0005】 次に、図 10 を参照して従来の光半導体リレー装置の駆動方法につき簡単に説明する。

【0006】 発光素子 60 側から入力電流  $I_f$  を流したとき発光素子 60 によって発生する光を受光素子 62 が受光する。受光素子 62 は、複数個の受光ダイオードは直列に接続されて受光すると受光素子 62 のアノード側（R）及びカソード側（S）間に電力が発生する。このとき発生した電力によって MOSFET 64 を駆動して

3

光半導体リレー装置はオン (ON) 状態になる。

【0007】また、オフ (OFF) 状態にするときは、発光素子 60 の入力電流  $I_f$  を停止する。このとき、発光素子 60 からの発光はなくなり、受光素子 62 の電力も発生しない。しかし、MOSFET 64 中に蓄積されている電荷があるため、MOSFET 64 がすぐにはオフ状態にならない。そのため、光半導体リレー装置に MOSFET 64 中に蓄積されている電荷を強制的に放電させるための放電回路 72 を具えている。

【0008】この放電回路 72 は、抵抗体 66 とフォトダイオード 68 と NPN 型トランジスタ 70 とから主として構成されている。そして、抵抗体 66 の一方の端子は第 1 配線 67 に接続され、抵抗体 66 の他方の端子はトランジスタ 70 のゲート電極側及びフォトダイオード 68 のカソード側に接続されている。また、フォトダイオード 68 のアノード側は第 2 配線 69 に接続されている。また、NPN 型トランジスタ 70 のコレクタ側は、第 1 配線 67 と接続され、エミッタ側は第 2 配線 69 と接続されている。

【0009】このような放電回路 72 を用いて MOSFET 64 中に蓄積されている電荷を強制的に放電させることができる。

【0010】次に、放電回路 72 を用いて光半導体リレー装置をオフする場合につき説明する。

【0011】MOSFET 64 には、電荷が蓄積されているため、MOSFET 64 はすぐにはオフ状態にならない。従って、MOSFET 64 の蓄積電荷によって生じた電流は、抵抗体 66 を流れてトランジスタ 70 のゲート側からエミッタ側に流れる。このようにして第 1 配線 67 の T 点と第 2 配線 69 の U 点との間が短絡されるため、MOSFET 64 中に蓄積されている電荷を強制的に放電させることができる。このとき、MOSFET 64 はオフ状態になる。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来の光半導体リレー装置の駆動動作特性を測定すると入力電流 ( $I_f$ ) の増加に伴って動作時間  $T_{ON}$  及び立ち上がり時間  $T_r$  の応答速度が急に速くなる (図 11 参照)。これに対して復帰時間  $T_{OFF}$  及び立ち下り時間  $T_f$  は、入力電流  $I_f$  が増加しても応答速度の変化は、少ない (図 11 参照)。

【0013】このように従来の動作時間  $T_{ON}$  及び立ち上がり時間  $T_r$  が入力電流  $I_f$  の増加によって急速に変化すると、MOSFET 64 側の出力側にノイズ (特に、スパイクノイズ) が発生するという問題があった。

【0014】この発明は、上述した問題点に鑑み行われたものであり、すなわち、この発明の目的は、MOSFET の出力側に発生するスパイクノイズを除去して安定な動作を可能にした光半導体リレー装置及びその駆動方法を提供することにある。

4

【0015】

【課題を解決するための手段】この目的の達成を図るため、この発明の光半導体リレー装置の構成によれば、発光素子と、該発光素子の光を受光して電力を発生させる受光素子と、該受光素子のアノード端子及びカソード端子間に制御電極及び第 1 主電極が結合されているスイッチングトランジスタと、前記アノード端子及びカソード端子間に結合された放電回路とを具えた光半導体リレー装置において、前記受光素子のアノード端子側と前記スイッチングトランジスタの制御電極側との接続間及び前記受光素子のカソード端子側と前記スイッチングトランジスタの第 2 主電極側との接続間のいずれか一方に定電流回路を設けて構成したことを特徴とする。

【0016】また、この発明の実施にあたり、好ましくは、前記定電流回路は、第 1 抵抗体と第 1 トランジスタと第 2 トランジスタと第 1、第 2 及び第 3 接続点とを具え、前記第 1 接続点を、第 1 抵抗体の一方の端子及び第 1 トランジスタの第 2 主電極に接続させてあり、前記第 2 接続点を、第 2 トランジスタの第 1 主電極に接続させてあり、前記第 3 接続点を、第 1 トランジスタの第 1 主電極及び第 2 トランジスタの制御電極に接続させてあり、前記第 1 抵抗体の他方の端子側を前記第 1 トランジスタの制御電極及び前記第 2 トランジスタの第 2 主電極に接続させてあるのが良い。

【0017】また、この発明の実施にあたり、好ましくは、前記定電流回路の前記第 1 接続点を、前記受光素子のカソード側に接続し、前記第 2 接続点を、前記スイッチングトランジスタの第 2 主電極間に接続させてあり、前記第 3 接続点を、前記受光素子のアノード及び前記スイッチングトランジスタの制御電極側との間に接続させてあるのが良い。

【0018】また、この発明の実施にあたり、好ましくは、前記定電流回路の前記第 1 接続点を、前記スイッチングトランジスタの制御電極に接続し、前記第 2 接続点を、前記受光素子のアノードに接続させてあり、前記第 3 接続点を、副受光素子を介して前記受光素子のアノードに接続させてあるのが良い。

【0019】また、この発明の実施にあたり、好ましくは、前記定電流回路は、第 2 及び第 3 抵抗体と、第 3 及び第 4 トランジスタと、第 4 及び第 5 接続点とを具え、前記第 2 抵抗体の一方の端子及び第 3 トランジスタの第 1 主電極を前記第 4 接続点に接続させてあり、前記第 2 抵抗体の他方の端子を、第 3 トランジスタの制御電極及び前記第 4 トランジスタの第 1 主電極に接続させてあり、前記第 3 抵抗体の一方の端子及び前記第 4 トランジスタの第 2 主電極を前記第 5 接続点に接続させてあり、前記第 3 抵抗体の他方の端子を、前記第 4 トランジスタの制御電極及び前記第 3 トランジスタの第 2 主電極に接続させてあるのが良い。

【0020】また、この発明の実施にあたり、好ましく

5

は、前記定電流回路の第 4 接続点を、前記受光素子のアノードに接続させており及び前記第 5 接続点を、前記スイッチングトランジスタの制御電極に接続させてあるのが良い。

【0021】また、この発明の実施に当たり、前記定電流回路の第 5 接続点を、前記受光素子のカソードに接続させてあり及び第 4 接続点を、前記スイッチングトランジスタの第 2 主電極に接続させてあるのが良い。

【0022】また、光半導体リレー装置を駆動させるに当たり、前記発光素子の光信号に応じて前記受光素子に発生する電力により前記定電流回路を動作させ、該定電流回路により前記スイッチングトランジスタを流れる電流を所定の電流にして当該スイッチングトランジスタを駆動させることを特徴とする。

【0023】

【作用】上述したこの光半導体リレー装置の構成によれば、受光素子のアノード端子側とスイッチングトランジスタの制御電極側の接続間及び受光素子のカソード側とスイッチングトランジスタの第 2 主電極側の接続間のいずれか一方に定電流回路を設けている。このような定電流回路を設けることによって発光素子に流れる入力電流  $I_f$  の増減にかかわらずスイッチングトランジスタの動作時間 ( $T_{ON}$ ) 及び立ち上り時間 ( $T_r$ ) の応答速度曲線の勾配を小さくすることができる。このため、スイッチングトランジスタの出力端子側に発生するノイズ（特に、スパイクノイズ）を抑制できる。この理由は、以下のように考えられる。すなわち、従来の光半導体リレー装置は、入力電流  $I_f$  が増加するにしたがって動作時間 ( $T_{ON}$ ) 及び立ち上り時間 ( $T_r$ ) の応答速度が急激に速くなり、これが原因でスイッチングトランジスタの出力端子側にスパイクノイズが発生していた。しかるに、この発明の定電流回路を光半導体リレー装置中に設けることによって入力電流  $I_f$  の増減にかかわらず一定の電流をスイッチングトランジスタの制御電極側に供給できるため、動作時間及び立ち上り時間の応答速度曲線の勾配を小さくできる。従って、入力電流  $I_f$  の増加によって応答速度が急激に速くなることがなくなり、スパイクノイズの発生を抑制できる。

【0024】また、この装置の駆動方法によれば、発光素子の光信号に応じて受光素子に発生する電力により定電流回路を動作させ、この定電流回路によってスイッチングトランジスタを流れる電流が所定の電流値（例えば  $5\mu A$ ）に達したときスイッチングトランジスタを駆動させる。従って、発光素子側の入力電流  $I_f$  が変化してもスイッチングトランジスタの制御電極側には常に一定の電流が流れることになり、従って、入力電流に対するスイッチングトランジスタの動作時間  $T_{ON}$  及び立ち上り時間  $T_r$  の応答速度の変化を小さくできる。

【0025】

【実施例】以下、各図面を参照してこの発明の実施例に

6

つき説明する。尚、各図面は、この発明が理解できる程度に各構成成分及び配置関係を概略的に示してあるにすぎない。

【0026】図 1 及び図 2 は、この発明の光半導体リレー装置の第 1 実施例の構成を説明するための回路構成図である。

【0027】この発明の第 1 実施例の回路構成は、大別すると発光素子 10 部、受光素子 12、定電流回路 14、放電回路 16 及びスイッチングトランジスタ 18 からなっている。発光素子 10 には、外部電源により任意の入力電流  $I_f$  が流れるように構成してある。この入力電流  $I_f$  によって先ず発光素子 10 は発光する。

【0028】この発光素子 10 の光を受光する受光素子 12 を具えている。尚、受光素子 12 は、複数のダイオードを直列に接続してある。また、受光素子 12 のアノード側は、スイッチングトランジスタ（以下、MOSFET と称する。）18 の制御電極側（以下、ゲート電極と称する。）と接続してある。一方、受光素子 12 のカソード側と MOSFET 18 の第 2 主電極（以下、ソース電極と称する。）側間に定電流回路 14 が接続してある。そして、受光素子 12 のアノード端子と MOSFET 18 のゲート電極側及び受光素子のカソード端子と MOSFET 18 のソース電極側間に放電回路 16 を接続してある。尚、ここでは、発光素子 10、定電流回路 14、放電回路 16 及びスイッチングトランジスタ 18 を総称して光半導体リレー装置と称する。

【0029】次に、図 2 を参照してこの発明の第 1 実施例に用いる定電流回路の構成につき説明する。

【0030】この定電流回路 14 は、第 1 抵抗体 20、第 1 導電型の第 1 トランジスタ 22 及び第 2 導電型の第 2 トランジスタから構成されている。そして、第 1 抵抗体 20 の一方の端子側及び第 1 トランジスタの第 2 主電極（以下、エミッタ電極と称する。）は、第 1 接続点（以下、B 点と称する。）21 に接続してある。尚、ここでは第 1 抵抗体 20 の抵抗値を例えば  $500 K\Omega$  とし、第 1 トランジスタ 22 として NPN 型トランジスタを用いる。

【0031】また、第 1 抵抗体 20 の他方の端子は、第 1 トランジスタ 22 の制御電極（以下、ベース電極と称する。）側及び第 2 トランジスタ 24 の第 2 主電極（以下、ソース電極と称する。）側に接続してある。尚、ここでは第 2 トランジスタ 24 を電界効果型のトランジスタ（MOSFET）とする。

【0032】また、第 2 トランジスタ 24 の第 1 主電極（以下、ドレイン電極と称する。）側に第 2 接続点（以下、D 点と称する。）23 を接続してある。また、第 1 トランジスタ 22 の第 1 主電極（以下、コレクタ電極と称する。）及び第 2 トランジスタ 24 の制御電極（以下、ゲート電極と称する。）側は、第 3 接続点（以下、I 点と称する。）25 と接続してある。



7

【0033】次に、この第1実施例に用いる放電回路16につき簡単に説明する。

【0034】放電回路16の構成は、PNP型トランジスタ26、ダイオード28、NPN型トランジスタ30、抵抗体32及びフォトダイオード34からなっている。そして、PNP型トランジスタ26のエミッタ電極側をMOSFET18のゲート電極に接続し、一方、PNP型トランジスタ30のコレクタ側をNPN型トランジスタ30のベース電極側及びフォトダイオード34のカソード側に接続してある。また、ダイオード28のカソード側をPNP型トランジスタ26のエミッタ電極側に接続し、アノード側を受光素子12のアノード側及びPNP型トランジスタ26のベース側に接続してある。更に、NPN型トランジスタ30のコレクタ電極側をPNP型トランジスタ26のベース電極側に接続し、一方、エミッタ電極側を抵抗体32の一方に端子に接続してある。また、抵抗体32の他方の端子をD点23に接続してある。また、フォトダイオード34のアノード側をD点23とF点間に接続してある。なお、このとき、抵抗体32の抵抗を例えば510K $\Omega$ とする。

【0035】次に、光半導体リレー装置の駆動方法の説明に先立ち、図1及び図2を参照して先ず、定電流回路14の動作につき説明する。

【0036】この定電流回路14の電流の方向は、D点23からB点21へ流れる。従って、D点23はB点21の電位より高くなるように構成してある。このため、受光素子12からの供給電力（この場合は電流）が5 $\mu$ A（マイクロアンペア）を越えると定電流回路14が動作を開始する。この電流値が5 $\mu$ Aを越えたとき抵抗体20の電圧降下は0.6V（設定値）より大きくなる。このとき、電圧降下が大きくなることによって第1トランジスタ22がオン状態となる。従って、第2トランジスタ24のゲート電極側に蓄積されている電荷は第1トランジスタ22を通過して電流として流れる。このとき第2トランジスタ24のゲート電極とソース電極間がショートされるため、第2トランジスタ24中に蓄積されていた電荷が放電される。従って、第2トランジスタ24がオフ状態に移行する。このとき、第1抵抗体20の電圧は、0.6V以下となり、第1トランジスタ22はオフ状態に復帰する。このため、再度、第2トランジスタ24のゲート電極側に電荷が供給されて第2トランジスタ24は、オン状態に移行する。

【0037】上述したような一連の動作を繰り返すことによって定電流回路中で電流値を例えば5 $\mu$ Aに制御できる。

【0038】次に、この発明の第1実施例の光半導体リレー装置のオン動作の駆動方法につき説明する。

【0039】MOSFET18をオン状態にするには、発光素子10の入力電流 $I_f$ によって発光した光を受光素子12が受光してこのとき受光素子12のアノード側

8

及びカソード側間に発生した電力をMOSFET18のゲート電極側に電圧として供給する。従って、MOSFET18は、ゲートソース電極間がオン状態となり定電流回路14のD点23からB点21へ電流が流れる。このとき、受光素子12のアノード側、MOSFET18のゲート電極側、MOSFET18のソース電極側及び受光素子12のカソード側を結合するループ経路が形成される。そして、電流値が設定値5 $\mu$ Aを越えると定電流回路が動作し始め、MOSFET18はオン状態となる。従って、光半導体リレー装置の動作時間 $T_{ON}$ 及び立ち上り時間 $T_r$ の応答速度を発光素子の入力電流 $I_f$ の増減にかかわらずほぼ一定の安定領域に近づけることができる（図5）。

【0040】次に、この発明の第1実施例の光半導体リレー装置のオフ動作状態につき説明する。

【0041】発光素子10の入力電流 $I_f$ をオフにすると入力光がなくなり、受光素子12の電力が発生しなくなる。しかし、MOSFET18中に蓄積されている電荷があるため、MOSFET18がすぐにオフ状態とはならない。従って、MOSFET18のゲート電極側が受光素子12のアノード側の電位よりも高い電位となる。このため、MOSFET18のゲート電極側から受光素子12のアノード側に電流が流れる。このとき放電回路16のダイオード28が逆バイアス状態にあるため、電流はダイオード28側には流れずにPNP型トランジスタ26のエミッタ側に流れる。このときPNP型トランジスタ26はオン状態となる。従って、電流は、PNP型トランジスタ26のコレクタ側に流れるが、フォトダイオード34が逆バイアス状態であるため、NPN型のトランジスタ30のベース電極側に流れる。このときNPN型のトランジスタ30がオン状態となる。従って、MOSFET18のゲート電極側から流れてきた電流は、NPN型のトランジスタ30のエミッタ側を通過して抵抗体32に流れる。この結果、接続点Eと接続点F間がショートされてMOSFET18中の電荷は放電される。そして、光半導体リレー装置はオフ状態となる。

【0042】次に、図3を参照して第1実施例で用いた定電流回路14を受光素子12のアノード側とMOSFET18のゲート電極側に接続した回路構成及び駆動方法につき説明する。この場合は、第2トランジスタ24を駆動するための発光素子36と受光素子38が新たに必要になる。ただし、発光素子36は発光素子10を代用することも可能である。この他の光半導体リレー装置のオン及びオフ状態の動作は第1実施例のときと同様であるため、駆動方法の説明を省略する。尚、定電流回路14をC点とE点間或はD点とF点間に設けても良い。このとき、放電回路16は、A点とC点及びB点とD点間に設ける。

【0043】次に、第1実施例の光半導体リレー装置を用いてMOSFET18の端子側G及びH間の応答速度

10

20

30

40

50

を測定した結果を図 5 に示す。尚、横軸に入力電流 ( $\text{mA}$ ) を取り、縦軸に応答速度 ( $\mu\text{s}$ ) を取って表している。また、図中、点線で表した曲線は、 $T_{\text{ON}}$  曲線と  $T_{\text{r}}$  曲線の差を取ってプロットしてある。

【0044】図 5 の説明に先立ち、図 4 の (A) 及び (B) を参照して応答速度特性の測定回路及び測定方法につき簡単に説明する。

【0045】図 4 の (A) は、光半導体リレー装置の発光素子 74 部と MOSFET 76 部を表し、中間部は省略して示してある。MOSFET 76 側の一方の端子に抵抗体 78 が接続されており、この抵抗体 ( $R_L$ ) 78 は大地にアース 80 されている。また、このとき、MOSFET 76 に流すドレイン電流 ( $I_D$ ) を  $100\text{mA}$  とし、抵抗体 78 ( $R_L$ ) の値を  $100\Omega$  とする。そして、MOSFET 76 側の出力電圧 ( $V_{\text{OUT}}$ ) 及び入力電流 ( $I_f$ ) を例えばシンクロスコープを用いて測定する。

【0046】図 4 の (B) は、シンクロスコープに現れる入力電流  $I_f$  及び出力電圧  $V_{\text{OUT}}$  波形をそれぞれ模式的に示してある。図中、出力電圧の  $10\%$  レベル及び  $90\%$  レベルを取り、入力電流波形の立ち上がり開始時から電圧波形の  $90\%$  レベルまでの期間を動作時間  $T_{\text{ON}}$  とする。また、出力電圧波形の  $10\%$  レベルから  $90\%$  レベルまでの期間を立ち上がり時間  $T_{\text{r}}$  とする。

【0047】また、入力電流波形の立ち下り時点から出力電圧の  $10\%$  レベルまでの期間を復帰時間  $T_{\text{OFF}}$  とし、電圧波形の終了時点の  $90\%$  レベルから出力電圧の  $10\%$  レベルまでの期間を立ち下り時間  $T_{\text{f}}$  とする。

【0048】図 5 から理解できるように、入力電流が約  $12\text{mA}$  以上になると動作時間  $T_{\text{ON}}$  と立ち上がり時間  $T_{\text{r}}$  はほぼ一定の飽和曲線を示す。また、 $3\text{mA} \sim 12\text{mA}$  内の  $T_{\text{ON}}$  曲線、 $T_{\text{r}}$  曲線とも従来のものに比べて曲線の勾配が緩やかになる。一方、復帰時間の  $T_{\text{OFF}}$  曲線は、入力電流が減少するとわずかに応答速度は速くなり、立ち下り時間の  $T_{\text{f}}$  曲線は、入力電流の値にかかわらず一定の値となる。

【0049】次に、図 6 を参照してこの発明の第 2 実施例の構造及び駆動方法につき説明する。

【0050】第 2 実施例の構造は、主に定電流回路の構成が第 1 実施例と異なっている。第 2 実施例の定電流回路 48 は、第 2 及び第 3 抵抗体 40、46 と第 1 導電型の第 3 及び第 4 トランジスタ 42、44 とからなっている。ここでは、第 1 導電型の第 3 及び第 4 トランジスタ 42、44 として NPN 型トランジスタを用いる。

【0051】また、第 4 及び第 5 接続点 41、47 を具えている。以下、第 4 接続点 41 を L 点、第 5 接続点 47 を N 点と称する。そして、L 点 41 は、第 2 抵抗体の 40 の一方の端子に接続され、かつ、第 3 トランジスタ 42 の第 1 主電極 (以下、コレクタ電極と称する。) にも接続されている。また、第 2 抵抗体 40 の他方の端子

は、第 3 トランジスタ 42 の制御電極 (以下、ベース電極と称する。) 側に接続され、かつ、第 4 トランジスタ 44 の第 1 主電極 (以下、コレクタ電極と称する。) 側に接続されている。また、第 2 実施例の放電回路 48 は文献 I に開示されているものと同一であるため、ここでは詳細な説明を省略する。

【0052】N 点 47 は、第 3 抵抗体 46 の一方の端子に接続され、かつ、第 4 トランジスタ 44 の第 2 主電極 (以下、エミッタ電極と称する。) 側に接続されている。また、第 3 抵抗体 46 の他方の端子は、第 4 トランジスタ 44 の制御電極 (以下、ベース電極と称する。) に接続され、かつ、第 3 トランジスタ 42 の第 2 主電極 (以下、エミッタ電極と称する。) 側に接続されている。

【0053】次に、第 2 実施例の駆動方法を説明するのに先立ち、図 7 を参照して定電流回路 48 の駆動方法につき説明する。

【0054】定電流回路 48 に流れる電流は、L 点 41 から N 点 47 の方向へ流れる。従って、L 点 41 の電位は、常に、N 点 47 の電位より高くなる。例えば、一例としてこの定電流回路 48 で  $5\mu\text{A}$  の一定電流値を得ようとする場合、第 3 抵抗体 46 の抵抗値を  $120\text{K}\Omega$  とする。また、第 2 抵抗体 40 は、定電流回路として直接動作自体には影響を与えないが、第 3 抵抗体 46 の経路として必要になり、この第 2 抵抗体 40 の抵抗値を例えば  $820\text{K}\Omega$  とする。

【0055】先ず、L 点 41 から N 点 47 へ向かって流れる電流は、第 3 トランジスタ 42 がオフ状態になっているため、第 2 抵抗体 40 通って第 4 トランジスタ 44 のコレクタ側に流れる。このとき、第 4 トランジスタ 44 がオフ状態であるから第 3 トランジスタ 42 のベース電極側に流れる。従って、第 3 トランジスタ 42 がオン状態となる。このため、L 点 41 から N 点 47 に流れる電流は、第 3 トランジスタ 42 を通り、第 3 抵抗体 46 へ流れて N 点 47 に至る。

【0056】上述した経路を通して流れた電流は、目標値が  $5\mu\text{A}$  のとき第 3 抵抗体 46 の電圧降下が  $0.6\text{V}$  になるように設定してある。この電圧降下  $0.6\text{V}$  を越えると第 3 抵抗体 46 に流れていた電流は第 4 トランジスタ 44 のベース電極側に流れ、第 4 トランジスタ 44 がオン状態になる。そして、第 3 トランジスタ 42 のベース電極側に流れていた電流は、第 4 トランジスタ 44 のコレクタ電極側からエミッタ電極側に流れるため、第 3 トランジスタ 42 はオフ状態になる。

【0057】このため、第 3 抵抗体 46 の電圧降下は  $0.6\text{V}$  より低くなる。この結果、第 4 トランジスタ 44 はオフ状態に戻る。このような一連の動作を繰り返すことによって N 点 47 から流れる電流を一定にすることができる。

【0058】次に、定電流回路 48 を受光素子 12 のア

10

20

30

40

50

11

ノード側とMOSFET 18のゲート電極側に接続したときの光半導体リレー装置のオン及びオフ状態の駆動方法につき図6を参照して説明する。

【0059】入力電流 $I_f$ を発光素子10に与えて光を発光させる。この光を受光して受光素子12のアノード及びカソード間に電力を発生する。この電力によって発生した電流は、受光素子12のアノード側のJ点から定電流回路48を通してMOSFET 18のゲート電極側に流れ、更に、MOSFET 18のソース電極側に流れる。そして、受光素子12のカソード側にあるK点に達する。こうして、J点、N点、O点、K点及びJ点に至るループが形成される。そして、定電流回路48の電流が $5\mu A$ を越えると定電流回路48が動作しはじめ、MOSFET 18をオン状態にする。

【0060】次に、光半導体リレー装置をオフ状態にする場合につき説明する。

【0061】先ず、入力電流 $I_f$ をオフ状態にして、受光素子12側に発生する電力をなくする。しかし、MOSFET 18中に蓄積されている電荷があるため、N点47の電位がL点41の電位よりも高くなり、電流の流れる方向は、第3抵抗体46を通して第4トランジスタ44のベース電極側に流れる。そして、第4トランジスタ44のコレクタ電極を経て第2抵抗体40へ流れる。その後、第2抵抗体40へ流れた電流は、放電回路56の抵抗体50を経てNPN型トランジスタ54のベース電極側に流れる。

【0062】このとき、NPN型トランジスタ54をオン状態にする。このため、電流は、トランジスタ54のエミッタ電極側を経て受光素子12のカソード側K点とM点間との接続点に流れる。このため、L点及びM点間がショートされてMOSFET 18中に蓄積されている電荷を放電する。このような一連の動作によって光半導体リレー装置はオフ状態になる。

【0063】次に、この第2実施例の入力電流-応答速度特性をプロットした結果を図9に示す。

【0064】図9から理解できるように入力電流に対する応答速度の依存性は、入力電流が約 $5mA$ ～約 $20mA$ の領域にあるとき動作時間の $T_{ON}$ 曲線及び立ち上り時間の $T_r$ 曲線はほぼ一定の飽和曲線に近づく。また、復帰時間の $T_{OFF}$ 曲線と立ち下り時間の $T_f$ 曲線とは、一定の応答速度になる。

【0065】次に、第2実施例の定電流回路48を受光素子12のカソード側とMOSFET 18のソース電極側の間に結合した例を図8に示す。図8のようにK点とM点間に定電流回路48を直列に接続させても図9と同様な入力電流-応答速度特性の結果が得られた。

【0066】上述した図5及び図9の入力電流-応答速度曲線の結果からも理解できるように、第1及び第2実施例の定電流回路を用いた場合、入力電流の増減にかかわらず広い領域で $T_{ON}$ 及び $T_r$ の応答速度曲線の勾配を

12

小さくできる。このように動作時間 $T_{ON}$ 及び立ち上り時間 $T_r$ を安定することによってMOSFET 18側の出力に発生するスパイクノイズは抑制されて負荷リレー回路の動作は安定する。

【0067】また、上述した第2実施例は、定電流回路48をL点とN点間或はK点とM点間とに設けたが、何らこれに限定されるものではなく、例えば定電流回路48をJ点とL点間或はM点とO点間に設けても良い。また、この発明の第1実施例で用いた放電回路16の代わりに第2実施例の放電回路56を用いても良い。

【0068】また、この発明の第1及び第2実施例の定電流回路の抵抗体または放電回路の抵抗体の数値は、一例にすぎず入力電流に対する応答速度の依存性を小さくできる範囲であれば、かならずしもこれに限定されるものではない。

【0069】

【発明の効果】上述した説明からも明らかなように、この発明の光半導体リレー装置の構成によれば、受光素子のアノード端子側とスイッチングトランジスタの制御電極側との接続間及び受光素子のカソード端子とスイッチングトランジスタの第2主電極側との接続間のいずれか一方に定電流回路を設ける。従って、発光素子に流れる入力電流( $I_f$ )の増減にかかわらず定電流回路中で一定の電流値(例えば $5\mu A$ )に調整し、その後、スイッチングトランジスタの制御電極側に供給する。このため、スイッチングトランジスタの応答速度(特に、動作時間及び立ち上り時間)が入力電流の増減にかかわらずフラットな状態に近づけることができるため、スイッチングトランジスタの出力側に発生するスパイクノイズはなくなる。

【0070】また、この光半導体リレー装置の駆動方法によれば、発光素子の光信号に応じて受光素子に電力が発生し、この電力を用いて定電流回路を動作させ、所定の電流値(例えば $5\mu A$ )に達したときスイッチングトランジスタを駆動させる。このように、定電流回路を用いて一定電流をスイッチングトランジスタの制御電極側に供給できるため、スイッチングトランジスタの動作時間及び立ち上り時間の応答速度は、従来の応答速度に比べて動作時間及び立ち上り時間曲線の勾配を大幅に小さくできるため、スイッチングトランジスタの出力側に発生するスパイクノイズもなくなる。

【図面の簡単な説明】

【図1】この発明の第1実施例(その1)の光半導体リレー装置の回路構成を説明するための構成図である。

【図2】この発明の第1実施例に供する定電流回路を説明するための構成図である。

【図3】この発明の第1実施例(その2)の光半導体リレー装置の回路構成を説明するための構成図である。

【図4】(A)～(B)は、入力電流に対する応答速度を測定するための測定回路図及び動作特性図である。

13

【図5】この発明の第1実施例の装置を用いたときの入力電流-応答速度特性図である。

【図6】この発明の第2実施例（その1）の光半導体リレー装置の回路構成を説明するための構成図である。

【図7】この発明の第2実施例に供する定電流回路を説明するための構成図である。

【図8】この発明の第2実施例（その2）の光半導体リレー装置の回路構成を説明するための構成図である。

【図9】この発明の第2実施例に対する入力電流-応答速度特性図である。

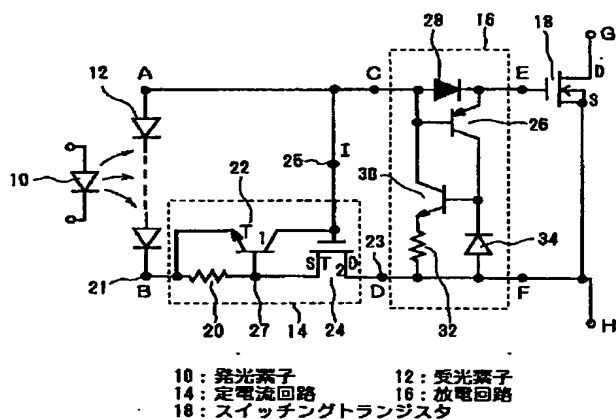
【図10】従来の光半導体リレー装置の構成を説明するための構成図である。

【図11】従来の光半導体リレー装置によって得られた入力電流-応答速度特性図である。

【符号の説明】

- 10：発光素子
- 12：受光素子
- 14：定電流回路
- 16：放電回路
- 18：スイッチングトランジスタ
- 20：第1抵抗体

【図1】

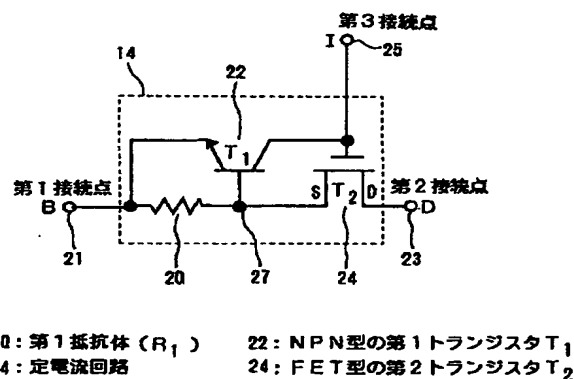


第1実施例（その1）

14

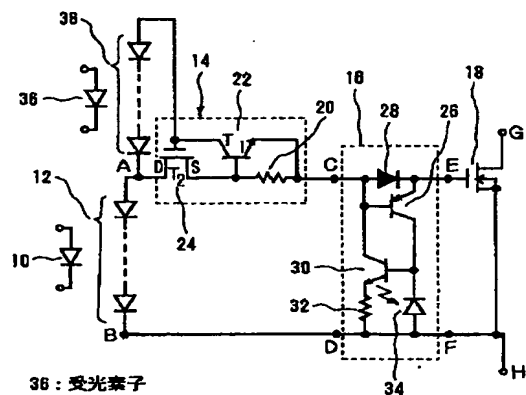
- \* 21：第1接続点（B点）
- 22：第1トランジスタ
- 23：第2接続点（D点）
- 24：第2トランジスタ
- 25：第3接続点（I点）
- 26：PNP型トランジスタ
- 28：ダイオード
- 30：NPN型トランジスタ
- 32：抵抗体
- 34：フォトダイオード
- 40：第2抵抗体
- 41：第4接続点（L点）
- 42：第3トランジスタ
- 44：第4トランジスタ
- 46：第3抵抗体
- 47：第5接続点（N点）
- 48：定電流回路
- 50：抵抗体
- 52：フォトダイオード
- 54：NPN型トランジスタ
- \* 56：放電回路

【図2】



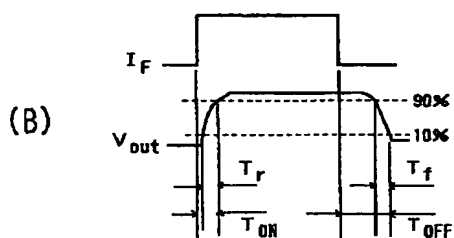
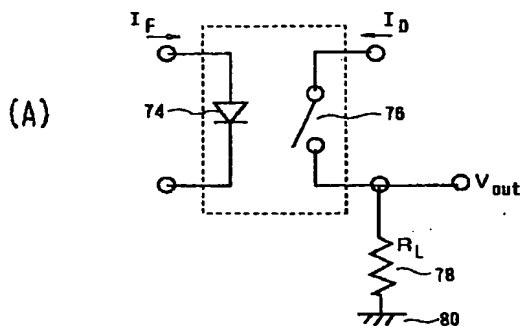
この発明の第1実施例に用いる定電流回路

【図 3】



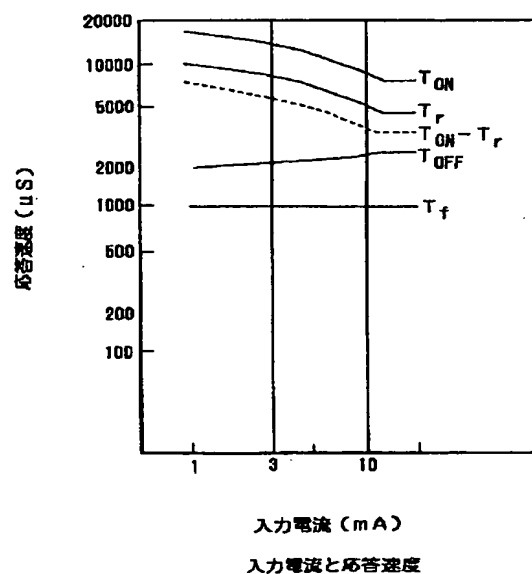
## 第1実施例（その2）

【図 4】

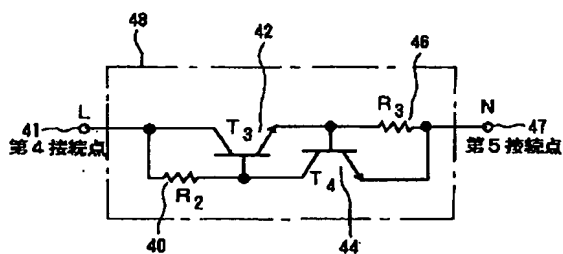


### 応答特性の測定回路及び動作特性

【図 5】



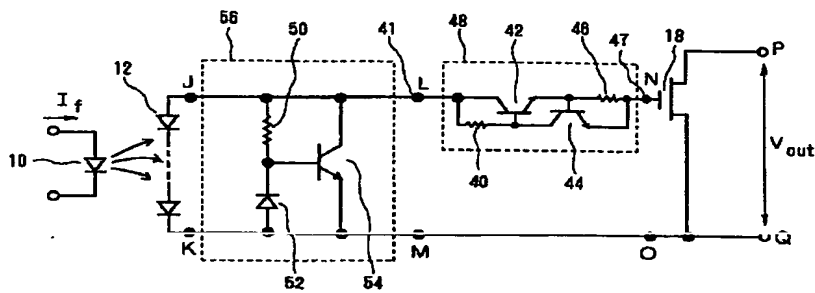
【图 7】



40: 第2抵抗体                      42: 第3トランジスタ  
44: 第4トランジスタ            46: 第3抵抗体  
48: 定電流回路

### この発明の第2実施例に用いる定電流回路

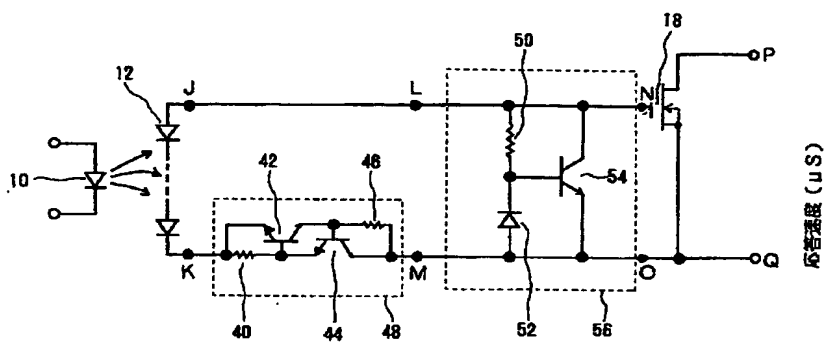
【図6】



48: 定電流回路      50: 抵抗体      52: フォトダイオード  
54: トランジスタ      56: 放電回路

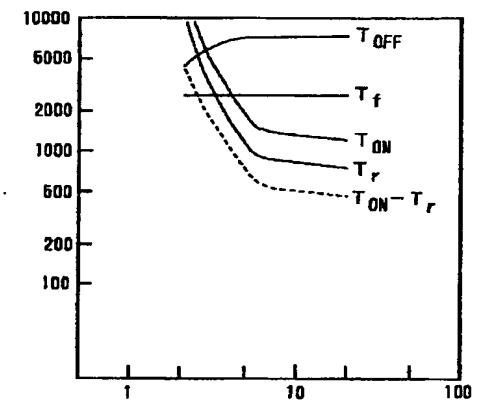
第2実施例(その1)

【図8】



第2実施例(その2)

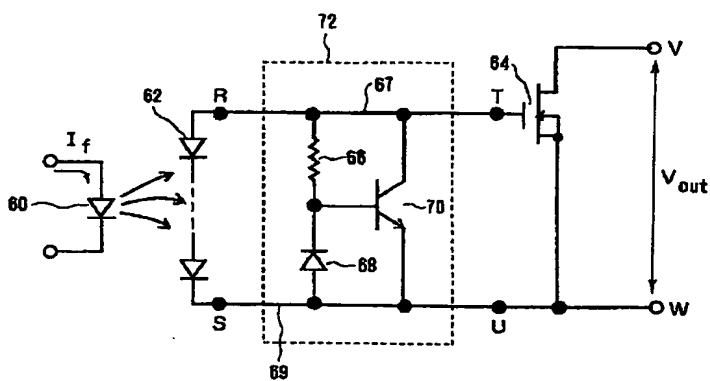
【図9】



入力電流 (mA)

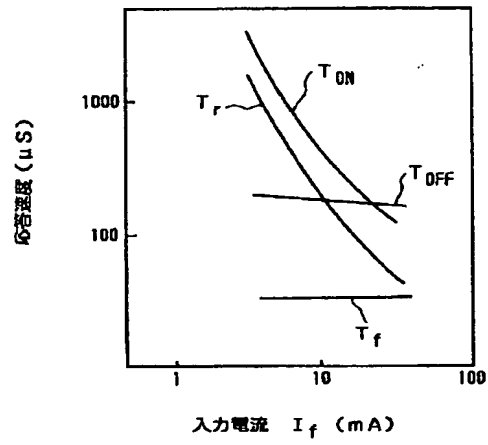
入力電流と応答遅延

【図10】



従来の半導体リレー回路

【図 11】



従来の入力電流-応答特性

*This Page Blank (uspig)*